

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163491

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H01L 29/78

H01L 21/336

(21)Application number : 09-326252

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 27.11.1997

(72)Inventor : JEON-FAN SON

(30)Priority

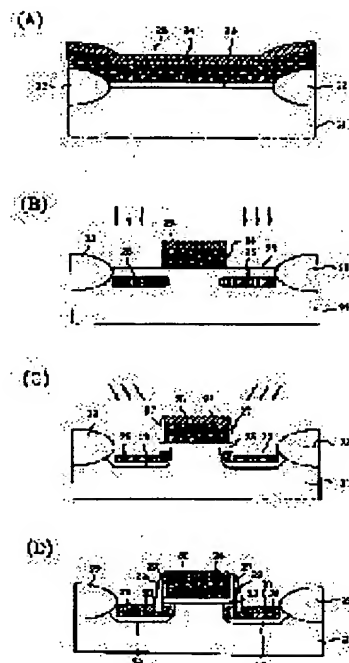
Priority number : 96 9658082 Priority date : 27.11.1996 Priority country : KR

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence phenomena of a short channel, by minimizing the leakage current of a heavily doped region generating from the edge of a field oxide region, and preventing the phenomena of a lightly doped region diffusing at activation of the heavily doped region.

SOLUTION: This manufacturing method is one which forms a gate oxide film 23 on a semiconductor substrate 21, and forms a gate electrode 24 on a gate insulating film 23d, and also, forms a gate cap 25 on the gate electrode 24. Furthermore, a heavily doped region 26 is formed within the semiconductor substrates 21 positioned on both sides of the gate electrode 24, and the first side wall 27 is formed at the side face of the flank of the gate electrode 24 including the gate cap 25, and the semiconductor substrate 21 positioned around the gate electrode 24 is etched up to the highest impurity region of the region 26. Then, a lightly doped region 28 is formed so that it covers the region 26 in the semiconductor substrate 21.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 27.11.1997

[Date of sending the examiner's decision of rejection] 28.09.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3079371

[Date of registration] 23.06.2000

[Number of appeal against examiner's decision of rejection] 11-19835

[Date of requesting appeal against examiner's decision of rejection] 13.12.1999

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163491

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78
21/336

H 0 1 L 29/78

3 0 1 P

3 0 1 S

3 0 1 L

審査請求 有 請求項の数22 O L (全 7 頁)

(21) 出願番号 特願平9-326252

(22) 出願日 平成9年(1997)11月27日

(31) 優先権主張番号 58082/1996

(32) 優先日 1996年11月27日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274
エルジー セミコン カンパニー リミテ
ッド
大韓民国、チュンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンドン、1

(72) 発明者 ジェオンファン ソン
大韓民国、ダエジョン、セオーク、ウォル
ピュン 1-ドン、19

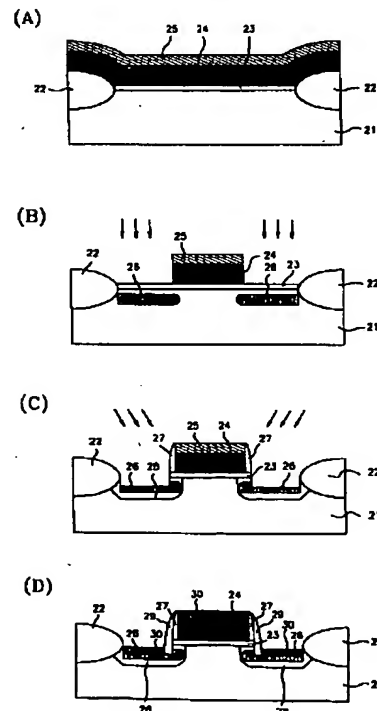
(74) 代理人 弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 フィールド酸化領域のエッジから発生する高濃度不純物領域の漏れ電流を最小化すると共に、高濃度不純物領域の活性化 (activation) 時に低濃度不純物領域が拡散する減少を防止し、ショートチャネルの発生現象を抑制し得る半導体素子の製造方法を提供する。

【解決手段】 半導体基板 21 上にゲート酸化膜 23 を形成する工程と、該ゲート絶縁膜 23 上にゲート電極 24 を形成する工程と、前記ゲート電極 24 上にゲートキャップ (Gate cap) 25 を形成する工程と、前記ゲート電極 24 の両側に位置する前記半導体基板 21 内に高濃度不純物領域 26 を形成する工程と、前記ゲートキャップ 25 を包含するゲート電極 24 の側面に第 1 サイドウォール 27 を形成する工程と、前記高濃度不純物領域 26 の最高不純物領域まで前記ゲート電極 24 の周囲に位置する半導体基板 21 をエッチングする工程と、前記半導体基板 21 内の高濃度不純物領域 26 を覆うように低濃度不純物領域 28 を形成する工程と、を順次行うものである。



【特許請求の範囲】

【請求項1】半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極上にゲートキャップ (Gate cap) を形成する工程と、前記ゲート電極の両側に位置する前記半導体基板内に高濃度不純物領域を形成する工程と、前記ゲートキャップを包含するゲート電極の側面に第1サイドウォールを形成する工程と、前記高濃度不純物領域の最高不純物領域まで前記ゲート電極の周囲に位置する半導体基板をエッチングする工程と、前記半導体基板内の高濃度不純物領域を覆うように低濃度不純物領域を形成する工程と、を順次行うことを特徴とする半導体素子の製造方法。

【請求項2】前記第1サイドウォールの表面から前記エッチングされたゲート絶縁膜の側面及び半導体基板の前記ゲート絶縁膜周囲に位置する部位を覆うように第2サイドウォールを形成する工程と、前記ゲートキャップを除去する工程と、前記ゲート電極上及び高濃度不純物領域の形成された半導体基板上に夫々シリサイド層を形成する工程と、を追加して行うことを特徴とする請求項1記載の半導体素子の製造方法。

【請求項3】前記高濃度不純物領域は、半導体基板の上部表面から下方向に離れた位置に形成することを特徴とする請求項1又は請求項2記載の半導体素子の製造方法。

【請求項4】前記ゲート絶縁膜は、約40～100Å厚さで形成された酸化膜であることを特徴とする請求項1～請求項3のいずれか1つに記載の製造方法。

【請求項5】前記ゲート電極は、約1000～3000Åの厚さのポリシリコン (polysilicon) を蒸着して形成されたことを特徴とする請求項1～請求項4のいずれか1つに記載の半導体素子の製造方法。

【請求項6】前記ゲートキャップは、約500～2000Åの厚さの酸化膜 (Oxide) 又は窒化膜 (Nitride) のうち何れか一つを蒸着して形成されたことを特徴とする請求項1～請求項5のいずれか1つに記載の半導体素子の製造方法。

【請求項7】前記第1サイドウォール及び第2サイドウォールのうち少なくとも一方は、約500～2000Åの厚さの酸化膜又は窒化膜のうち何れか一つで形成されたことを特徴とする請求項1～請求項6のいずれか1つに記載の半導体素子の製造方法。

【請求項8】前記高濃度不純物領域及び低濃度不純物領域は、N型不純物又はP型不純物のうち何れか一つで形成されたことを特徴とする請求項1～請求項7のいずれか1つに記載の半導体素子の製造方法。

【請求項9】前記高濃度不純物領域は、As又はBF₂イオンをエネルギー50～200keV、dose 2E15～5E15cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたことを特徴とする請求項

1～請求項8のいずれか1つに記載の半導体素子の製造方法。

【請求項10】前記低濃度不純物領域は、As又はBF₂イオンをエネルギー50～200keV、dose 1E14～5E14cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたことを特徴とする請求項1～請求項9のいずれか1つに記載の半導体素子の製造方法。

【請求項11】前記低濃度不純物領域は、P又はBイオンをエネルギー30～100keV、dose 1E14～5E14cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたことを特徴とする請求項1～請求項9のいずれか1つに記載の半導体素子の製造方法。

【請求項12】半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極上にゲートキャップを形成する工程と、前記ゲート電極の両側に位置する半導体基板内に高濃度不純物領域を夫々形成する工程と、前記高濃度不純物領域の最高不純物濃度の領域まで前記ゲート電極の周囲に位置する半導体基板をエッチングする工程と、前記ゲートキャップ及びゲート電極の両側面とエッチングされた前記ゲート絶縁膜及び半導体基板の一部側面とにサイドウォールを夫々形成する工程と、前記半導体基板内の高濃度不純物領域を囲むように低濃度不純物領域を形成する工程と、を順次行うことを特徴とする半導体素子の製造方法。

【請求項13】前記ゲートキャップを除去する工程と、前記ゲート電極上と前記高濃度不純物領域の形成された半導体基板上に、シリサイド層を夫々形成する工程と、を追加して行うことを特徴とする請求項12記載の半導体素子の製造方法。

【請求項14】前記高濃度不純物領域は、前記半導体基板の上部表面から下方向に離れた位置に形成することを特徴とする請求項12又は請求項13記載の半導体素子の製造方法。

【請求項15】前記ゲート絶縁膜は、約40～100Åの厚さで形成された酸化膜であることを特徴とする請求項12～請求項14のいずれか1つに記載の半導体素子の製造方法。

【請求項16】前記ゲート電極は、約1000～3000Åの厚さのポリシリコン (poly silicon) を蒸着して形成されたことを特徴とする請求項12～請求項15のいずれか1つに記載の半導体素子の製造方法。

【請求項17】前記ゲートキャップは、約500～2000Åの厚さの酸化膜又は窒化膜のうち何れか一つを蒸着して形成されたことを特徴とする請求項12～請求項16のいずれか1つに記載の半導体素子の製造方法。

【請求項18】前記サイドウォールは、約500～2000Åの厚さの酸化膜又は窒化膜のうち何れか一つで形

成されたことを特徴とする請求項12～請求項17のいずれか1つに記載の半導体素子の製造方法。

【請求項19】前記高濃度不純物領域及び低濃度不純物領域の不純物は、N型又はP型不純物のうち何れか一つで形成されたことを特徴とする請求項12～請求項18のいずれか1つに記載の半導体素子の製造方法。

【請求項20】前記高濃度不純物領域は、As又はBF₂イオンをエネルギー50～200keV、dose $2E15 \sim 5E15 \text{ cm}^{-2}$ 、傾斜 (tilt) 角0～10degの条件下でイオン注入を施して形成されたことを特徴とする請求項12～請求項19のいずれか1つに記載の半導体素子の製造方法。

【請求項21】前記低濃度不純物領域は、As又はBF₂イオンをエネルギー50～200keV、dose $1E14 \sim 5E14 \text{ cm}^{-2}$ 、傾斜 (tilt) 角0～10degの条件下でイオン注入を施して形成されたことを特徴とする請求項12～請求項20のいずれか1つに記載の半導体素子の製造方法。

【請求項22】前記低濃度不純物領域は、P又はBイオンをエネルギー30～100keV、dose $1E14 \sim 5E14 \text{ cm}^{-2}$ 、傾斜 (tilt) 角0～10degの条件下でイオン注入を施して形成されたことを特徴とする請求項12～請求項20のいずれか1つに記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に関するものであり、詳しくは、フィールド酸化領域のエッジから発生する高濃度不純物領域の漏れ電流を最小化すると共に、高濃度不純物領域の活性化 (activation) 時に低濃度不純物領域が拡散する減少を防止し、ショートチャネルの発生現象を抑制し得る半導体素子に関するものである。

【0002】

【従来の技術】従来MOSFET素子の製造方法においては、図3に示したように、半導体基板11上に、ゲート絶縁膜12、ゲート電極13及び、窒化物キャップ (Nitride cap) 14を順次形成した後、イオン注入を施すことによって、低濃度の不純物領域 (lightly doped region) 17を形成して、窒化膜のサイドウォール15を形成し、再びイオン注入を施して高濃度の不純物領域16を形成した。このとき、前記キャップ14及びサイドウォール15を成す膜は、窒化物 (Oxide) の代わりに酸化物を用いることができる。

【0003】

【発明が解決しようとする課題】しかし、このような従来の前記低濃度の不純物領域17は、電界 (electric field) を減少させホットキャリアの発生を抑制するという点で利点を有するが、以下の点で問題があった。即ち、ホットキャリアが半導体基板の表面から発生して、

ゲート絶縁膜12又はサイドウォール15内に容易に注入 (injection) され、半導体素子の特性を低下させてしまうという点で不都合があった。

【0004】更に、サイドウォール15を形成した後、イオン注入を施して高濃度の不純物領域 (heavily doped region) 16を形成する工程において、前記サイドウォール15を形成するとき、エッチングを施すためフィールド酸化領域 (field oxide region) 18のエッジ (edge) から接合 (junction) 欠陥が発生して、高濃度不純物領域16の漏れ電流 (leakage) が増加していた。従って、高濃度不純物領域16が活性化 (activation) するとき、低濃度不純物領域17が漸次拡散して、ショートチャネル現象 (short channel effect) が増加するという点でも不都合であった。

【0005】本発明はこのような問題点を解決するため案出されたもので、フィールド酸化領域のエッジから発生する高濃度不純物領域の漏れ電流を最小化すると共に、高濃度不純物領域の活性化 (activation) 時に低濃度不純物領域が拡散する減少を防止し、ショートチャネルの発生現象を抑制し得る半導体素子の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】このような本発明の目的を達成するため、本発明に係る請求項1記載の半導体素子の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極上にゲートキャップ (Gate cap) を形成する工程と、前記ゲート電極の両側に位置する前記半導体基板内に高濃度不純物領域を形成する工程と、前記ゲートキャップを包含するゲート電極の側面に第1サイドウォールを形成する工程と、前記高濃度不純物領域の最高不純物領域まで前記ゲート電極の周囲に位置する半導体基板をエッチングする工程と、前記半導体基板内の高濃度不純物領域を覆うように低濃度不純物領域を形成する工程と、を順次行うものである。

【0007】かかる構成によれば、ゲート絶縁膜、ゲート電極、ゲートキャップ、及び高濃度不純物領域を形成した後、第1サイドウォールをゲート電極の側面に形成し、更に、前記高濃度不純物領域の最高不純物領域まで半導体基板をエッチングした部位に、低濃度不純物領域を形成する。また、請求項2記載の半導体素子の製造方法は、前記第1サイドウォールの表面から前記エッチングされたゲート絶縁膜の側面及び半導体基板の前記ゲート絶縁膜周囲に位置する部位を覆うように第2サイドウォールを形成する工程と、前記ゲートキャップを除去する工程と、前記ゲート電極上及び高濃度不純物領域の形成された半導体基板上に夫々シリサイド層を形成する工程と、を追加して行うものである。

【0008】かかる構成によれば、請求項1記載の工程後、第2サイドウォールの形成、ゲートキャップの除去

工程を経て、シリサイド層を形成する。また、請求項3記載の半導体素子の製造方法は、前記高濃度不純物領域が、半導体基板の上部表面から下方向に離れた位置に形成するものである。かかる構成によれば、イオン注入により高濃度不純物領域を形成する際、半導体基板内部の表面から離れた位置に形成する。

【0009】上記の半導体素子の製造方法においては、請求項4記載のように、前記ゲート絶縁膜が、約40～100Åの厚さで形成された酸化膜であってもよいし、請求項5記載のように、前記ゲート電極が、約1000～3000Åの厚さのポリシリコン (polysilicon) を蒸着して形成されるものであってもよい。また、請求項6記載のように、前記ゲートキャップが、約500～2000Åの厚さの酸化膜 (oxide) 又は窒化膜 (Nitride) のうち何れか一つを蒸着して形成されるものであってもよいし、請求項7記載のように、前記第1サイドウォール及び第2サイドウォールのうち少なくとも一方が、約500～2000Åの厚さの酸化膜又は窒化膜のうち何れか一つで形成されるものであってもよい。

【0010】また、請求項8記載のように、前記高濃度不純物領域及び低濃度不純物領域が、N型不純物又はP型不純物のうち何れか一つで形成されてもよいし、請求項9記載のように、前記高濃度不純物領域が、As又はBF₂イオンをエネルギー50～200keV、dose 2E 15～5E 15cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたものであってもよい。

【0011】更に、請求項10記載のように、前記低濃度不純物領域が、As又はBF₂イオンをエネルギー50～200keV、dose 1E 14～5E 14cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたものであってもよいし、請求項11記載のように、前記低濃度不純物領域が、P又はBイオンをエネルギー30～100keV、dose 1E 14～5E 14cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたものであってもよい。

【0012】また、請求項12記載の半導体素子の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極上にゲートキャップを形成する工程と、前記ゲート電極の両側に位置する半導体基板内に高濃度不純物領域を夫々形成する工程と、前記高濃度不純物領域の最高不純物濃度の領域まで前記ゲート電極の周囲に位置する半導体基板をエッチングする工程と、前記ゲートキャップ及びゲート電極の両側面とエッチングされた前記ゲート絶縁膜及び半導体基板の一部側面とにサイドウォールを夫々形成する工程と、前記半導体基板内の高濃度不純物領域を囲むように低濃度不純物領域を形成する工程と、を順次行うものである。

【0013】かかる構成によれば、半導体基板上にゲ-

ート絶縁膜、ゲート電極、ゲートキャップ、及び高濃度不純物領域を形成した後、高濃度不純物領域の最高不純物濃度の領域までエッチングし、ゲートキャップ及びゲート電極の両側面とエッチングされた前記ゲート絶縁膜及び半導体基板の一部側面とにサイドウォールを形成し、更に低濃度不純物領域を前記高濃度不純物領域を囲むように形成する。

【0014】また、請求項13記載の半導体素子の製造方法は、前記ゲートキャップを除去する工程と、前記ゲート電極上と前記高濃度不純物領域の形成された半導体基板上に、シリサイド層を夫々形成する工程と、を追加して行うものである。かかる構成によれば、請求項12記載の工程後、ゲートキャップを除去し、シリサイド層を形成する。

【0015】上記の半導体素子の製造方法においては、請求項14記載のように、前記高濃度不純物領域が、前記半導体基板の上部表面から下方向に離れた位置に形成するしてもよいし、請求項15記載のように、前記ゲート絶縁膜が、約40～100Åの厚さで形成された酸化膜であってもよい。また、請求項16記載のように、前記ゲート電極が、約1000～3000Åの厚さのポリシリコン (poly silicon) を蒸着して形成されたものであってもよいし、請求項17記載のように、前記ゲートキャップが、約500～2000Åの厚さの酸化膜又は窒化膜のうち何れか一つを蒸着して形成されたものであってもよい。

【0016】また、請求項18記載のように、前記サイドウォールが、約500～2000Åの厚さの酸化膜又は窒化膜のうち何れか一つで形成されたものであってもよいし、請求項19記載のように、前記高濃度不純物領域及び低濃度不純物領域の不純物が、N型又はP型不純物のうち何れか一つで形成されたものであってもよい。

【0017】また、請求項20記載のように、前記高濃度不純物領域が、As又はBF₂イオンをエネルギー50～200keV、dose 2E 15～5E 15cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたものであってもよいし、請求項21記載のように、前記低濃度不純物領域が、As又はBF₂イオンをエネルギー50～200keV、dose 1E 14～5E 14cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたものであってもよい。

【0018】更に、請求項22記載のように、前記低濃度不純物領域が、P又はBイオンをエネルギー30～100keV、dose 1E 14～5E 14cm⁻²、傾斜 (tilt) 角0～10deg の条件下でイオン注入を施して形成されたものであってもよい。

【0019】

【発明の実施の形態】以下、本発明の実施の形態に対し図面を用いて説明する。本発明に係る半導体素子製造方法の第1実施形態においては、図1(A)に示したよう

に、先ず、半導体基板21に局部酸化法(local oxidation method)を施して分離(isolation)された構造のフィールド酸化領域22を形成した後、前記半導体基板21上にゲート絶縁膜になるゲート酸化膜23を約40～100Åの厚さに成長させる。その後、該ゲート酸化膜23上にゲート電極24になるドーピングされたポリ(doped poly)のポリシリコン層24を約1000～3000Åの厚さに蒸着し、該ポリシリコン層24上にゲートキャップ25の酸化膜(Oxide)25を化学気相蒸着(CVD)法により約500～2000Åの厚さに蒸着させる。

【0020】次いで、図1(B)に示したように、該酸化膜25及びポリシリコン層24をエッチングして前記ゲート酸化膜23が露出されるまでパターニングし、ポリシリコンのゲート電極24及び酸化膜のゲートキャップ25を形成する。その後、前記ゲートキャップ25及びゲート電極24をマスクとして前記半導体基板21内にイオンを注入し、前記ゲート電極24の両側に位置する前記半導体基板21内に高濃度の不純物領域26を形成する。

【0021】このとき、該イオン注入を施す条件は、Asイオンをエネルギー50～200keV、dose $2\text{E}15\sim5\text{E}15\text{cm}^{-2}$ 、傾斜(tilt)角0～10degの条件下半導体基板21内に注入することが望ましい。即ち、このような条件でAsイオンを注入すると、 n^+ 型高濃度の不純物領域26が半導体基板21の表面から離れた奥深い位置に形成される。

【0022】次いで、図1(C)に示したように、窒化物(Nitride)を約500～2000Åの厚さに蒸着した後エッチングすることにより、前記ゲートキャップ25とゲート電極24との側面に窒化物の第1サイドウォール(Sidewall)27を形成する。同時に、前記高濃度不純物領域の最高不純物領域まで前記ゲート電極の周囲に位置する半導体基板21をエッチングする。

【0023】次いで、砒素(As)イオン又はリン(P)イオンを半導体基板21内に注入し前記高濃度不純物領域26を覆うように n^- 型低濃度不純物領域28を形成する。この場合、前記イオン注入を施すとき、砒素(As)イオンを注入する場合は、エネルギー50～200keV、dose $1\text{E}14\sim5\text{E}14\text{cm}^{-2}$ 、傾斜(tilt)角0～10degの条件で行い、Pイオンを注入する場合は、エネルギー30～100keV、dose $1\text{E}14\sim5\text{E}14\text{cm}^{-2}$ 、傾斜角0～10degの条件で行うのが好ましい。

【0024】そして、上記工程を順次行うことにより、図1(C)に示した半導体素子を構成した後、図1

(D)に示したように、前記第1サイドウォール27の表面、エッチングによって露出した前記ゲート酸化膜23の側面、及び半導体基板21のゲート酸化膜23周囲に位置する部位を覆うように第2サイドウォール29を

形成する工程と、前記ゲートキャップ25を除去する工程と、前記ゲート電極24上及び前記高濃度不純物領域26の形成された半導体基板21上に夫々シリサイド層30を形成する工程と、を追加して行うこともできる。

【0025】この場合、前記第2サイドウォール29は窒化物を500～2000Åの厚さに蒸着した後エッチングすることによって形成し、前記シリサイド層30はTi、Coなどの金属を蒸着した後、急速に熱処理(Rapid Thermal Annealing; RTA)を施して形成するのが好ましい。前記ゲートキャップ25を除去する理由は、前記シリサイド層30の形成時に選択性を確保するためである。即ち、前記ゲート電極24上及び高濃度不純物領域26の形成された半導体基板21上にのみシリサイド層30を選択的に形成するためである。

【0026】又、前記高濃度不純物領域26を形成する時、前記Asイオンの代わりにBF₂イオンを用い、前記低濃度不純物領域28を形成する時、前記Asイオン又はPイオンの代わりにBF₂イオン又はBイオンを用いることもできる。更に、前記ゲートキャップ25は酸化膜の代わりに窒化膜を用いて形成し、前記第1及び第2サイドウォール27、29は窒化物の代りに酸化膜の用いて形成することもできる。

【0027】このような本発明に係る第1実施形態の半導体素子の製造方法においては、前記高濃度不純物領域26が半導体基板21の表面から離れており、キャリア(carrier)が前記ゲート電極24のエッジ(edge)から半導体基板21の方向に移動するため、ホットキャリア(hot carrier)が半導体基板21の表面から遠い位置から発生し、前記ゲート酸化膜23又は各サイドウォール27、29内に注入(injection)される現象を抑制し、最小化させることができる。

【0028】以下、図2(A)～(D)を用いて本発明に係る半導体製造方法の第2実施形態を説明する。先ず、図2(A)に示したように、半導体基板41に局部酸化法(local oxidation method)を施して分離(isolation)された構造のフィールド酸化領域42を形成し、前記半導体基板41上にゲート絶縁膜になるゲート酸化膜43を約40～100Åの厚さに成長させる。その後、該ゲート酸化膜43上にゲート電極44になるドーピングされたポリ(doped poly)のポリシリコン層44を約1000～3000Åの厚さに蒸着し、該ポリシリコン層44上にゲートキャップ45になる酸化膜45を化学気相蒸着(CVD)法により約500～2000Åの厚さに蒸着させる。

【0029】次いで、図2(B)に示したように、前記酸化膜45及びポリシリコン層44をエッチングして、前記ゲート酸化膜43が露出されるまでパターニングし、ポリシリコンのゲート電極44及び酸化膜でのゲートキャップ45を形成する。その後、前記ゲートキャップ45及びゲート電極44をマスクとして前記半導体基

板41内にイオンを注入し、前記ゲート電極44の両側に位置する前記半導体基板41内に高濃度の不純物領域46を形成する。

【0030】このとき、前記イオン注入を施す条件は、Asイオンをエネルギー50～200keV、dose $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、傾斜 (tilt) 角0～10degの条件下、半導体基板41内に注入することが望ましい。即ち、このような条件でAsイオンを注入すると、図示したようにn⁺型高濃度の不純物領域46が半導体基板41の表面から離れた奥深い位置に形成される。

【0031】次いで、図2(C)に示したように、前記高濃度不純物領域の最高不純物領域まで前記ゲート電極の周囲に位置する半導体基板41をエッチングした後、窒化物を約500～2000Åの厚さに蒸着してエッチングし、前記ゲートキャップ45及び前記ゲート電極44の両側面と前記エッチングされたゲート酸化膜43及び半導体基板41の一部側面とに窒化物のサイドウォール47を形成する。

【0032】次いで、砒素 (As) イオン又はリン (P) イオンを半導体基板41内に注入し前記高濃度不純物領域46を覆うようにn⁻型低濃度不純物領域48を形成する。この場合、前記イオン注入を施すとき、砒素 (As) イオンを注入する場合は、エネルギー50～200keV、dose $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、傾斜 (tilt) 角0～10degの条件下で行い、リン (P) イオンを注入する場合は、エネルギー30～100keV、dose $1 \times 10^{14} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、傾斜 (tilt) 角0～10degの条件下でイオン注入を行うことが望ましい。

【0033】そして、このような工程を順次行って図2(C)に示した半導体素子を構成した後、図2(D)に示したように、前記ゲートキャップ45を除去する工程と、前記ゲート電極44上及び前記高濃度不純物領域46が形成された半導体基板41上にシリサイド層49を夫々形成する工程と、を追加して行うこともできる。この場合、前記シリサイド層49はTi、Coを蒸着した後、急速の熱処理 (Rapid Thermal Annealing; RTA) を施して、該シリサイド層49を形成する。

【0034】前記ゲートキャップ45を除去する理由は、前記シリサイド層49の形成時に選択性を確保するためである。即ち、前記ゲート電極44上及び高濃度不純物領域46の形成された半導体基板41上のみにシリサイド層を選択的に形成するためである。又、前記高濃度の不純物領域46の形成時には、前記Asイオンの代わりにBF₂イオンを用い、前記低濃度不純物領域48の形成時に、前記Asイオン又はPイオンの代わりにBF₂イオン又はBイオンを用いることもできる。更に、前記ゲートキャップ45は、酸化膜の代わりに窒化膜にて形成し、前記サイドウォール47は窒化膜の代わりに酸化膜にて形成することもできる。

【0035】このような本発明の第2実施形態に係る半

導体素子の製造方法においては、前記第1実施形態と同様な長所を有しながらも、第1実施形態が図1(C)～(D)に示したように、第1及び第2サイドウォール27、29の形成が2工程必要であるのに対し、第2実施形態では図2(C)～(D)に示したように、サイドウォール47の形成が1工程であるので、製造工程を短縮させることができる。

【0036】

【発明の効果】このような本発明に係る半導体素子の製造方法において、請求項1記載の発明によれば、ホットキャリアによる素子特性の低下を減少させると共に低濃度の不純物の領域を高濃度不純物領域を十分に囲んで形成するため、フィールド酸化領域のエッジから発生する高濃度不純物領域の漏れ電流を最小化することができ、更に高濃度不純物領域が低濃度不純物領域よりも先に形成されるため、高濃度不純物領域の活性化 (activation) 時に低濃度不純物領域が拡散する現象を防止し、ショートチャネルの発生現象を抑制し得るという効果がある。

【0037】また、請求項2記載の発明によれば、第2サイドウォールを形成することにより、ゲート電極の側面、又はエッチングされた基板の側面にシリサイド層が形成されず、不純物領域でのみシリサイド層が形成され、セルフアライン (self-align) されるシリサイド層を形成することができる。更に、ゲートキャップの除去工程とシリサイド層の形成工程とを組み合わせることにより、不純物領域上にシリサイド層が形成される際、ゲート電極上にもシリサイド層を形成することができる。

また、請求項3記載の発明によれば、前記高濃度不純物層が半導体基板の表面から離れており、キャリアが前記ゲート電極のエッジから半導体基板の方向に移動するため、ホットキャリアが半導体基板の表面から遠い位置から発生し、ゲート酸化膜又は各サイドウォール内に注入される現象を抑制して、最小化することができる。

【0038】また、請求項12記載の発明によれば、請求項1記載の発明と同様な効果を有しながら、サイドウォールの形成のための工程を減少させて、製造工程を短縮させることができる。また、上記した請求項以外の請求項に記載の発明によれば、本発明を実施する際、実施可能な工程条件とされることができる。

【図面の簡単な説明】

【図1】(A)～(D)、本発明の第1実施形態に係る半導体素子の製造工程を示した縦断面図である。

【図2】(A)～(D)、本発明の第2実施形態に係る半導体素子の製造工程を示した縦断面図である。

【図3】従来半導体素子の構成を示した縦断面図である。

【符号の説明】

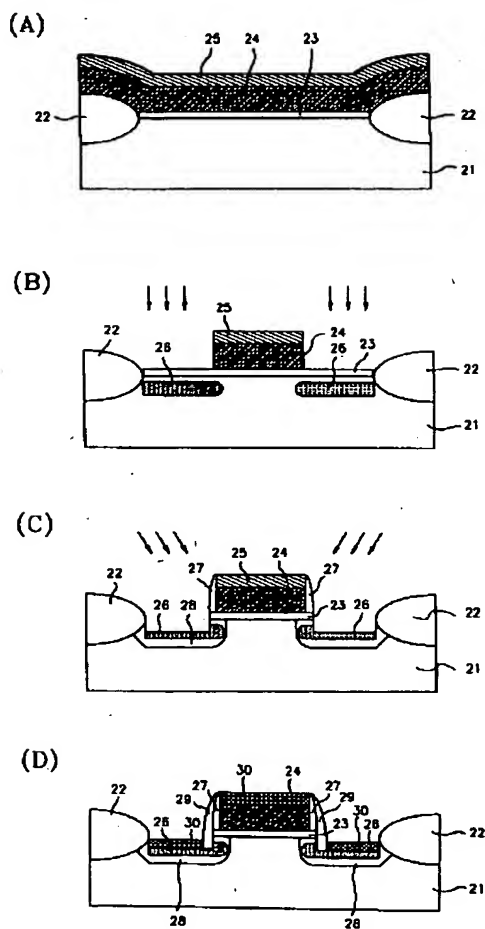
21、41；半導体基板

22、42；フィールド酸化領域

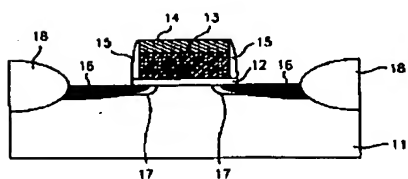
23、43 ; ゲート酸化膜
 24、44 ; ゲート電極
 25、45 ; ゲートキャップ
 26、46 ; 高濃度不純物領域 (heavily doped region)
 27 ; 第1サイドウォール
 28 ; 第1サイドウォール

28、48 ; 低濃度不純物領域 (lightly doped region)
 29 ; 第2サイドウォール
 30、49 ; シリサイド層
 47 ; サイドウォール

【図1】



【図3】



【図2】

